

これはテキストのサンプルです。
200ページ近い原作から抜き出したものです。

デジタル LSI 設計入門

- 新入社員の方々のために -

サクセス インターナショナル(株)
講師: 逸見文明

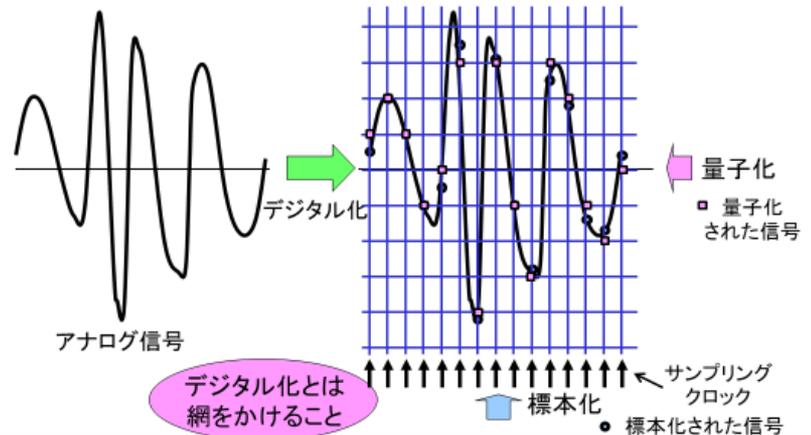
サンプル

章構成

- 第1章; デジタル LSI の基礎
デジタルとは何か? アナログからデジタルへはどう変換する?
デジタル LSI の歴史は? ASIC と FPGA を比較すると?
- 第2章; デジタル回路を LSI で実現する方法
デジタル回路はどういうものか? 論理回路とは?
- 第3章; デジタル LSI 設計の基本
論理設計とは? デジタル LSI にはどんなものがある?
- 第4章; デジタル LSI 設計とその検証
デジタル LSI 開発のフローは? Verilog-HDL とは? 検証とは?
- 第5章; デジタル LSI のテスト
どうやってテストするか? どんなテスト方法があるか?
- 第6章; これからのデジタル LSI 設計
現状の課題は何か? 新しい設計手法とは?

デジタルとは?

人間が直接感じられるのはアナログ信号
デジタル回路に入れるにはまずデジタル化しなければなりません。



論理回路とは?

組合せ回路と順序回路の二つだけ

回路	特徴	代表例
組合せ回路	ある時点での出力が、その時の入力だけで決まります。	AND, OR, NOT, NAND, NOR
順序回路	ある時点での出力が、それ以前の入力と、回路自体の状態に依存します。	フリップフロップ

AND, OR, NOT



組合せ回路の基本は AND, OR, NOT

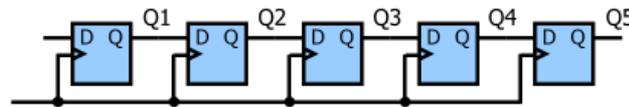
*真理値表: 入力全ての組み合わせに対する出力の値を表にしたものです。

	回路図記号	概念図(1でスイッチを上げ、0で下げるとすれば)	真理値表*															
AND回路			<table border="1"> <tr><th>A</th><th>B</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1
A	B	Y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR回路			<table border="1"> <tr><th>A</th><th>B</th><th>Y</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
NOT回路			<table border="1"> <tr><th>A</th><th>Y</th></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	Y	0	1	1	0									
A	Y																	
0	1																	
1	0																	

順序回路の代表シフトレジスタ

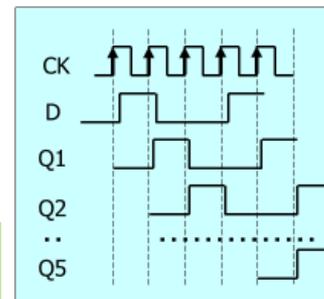


"シフトレジスタ"とは?



5 クロック分、入力をずらすことが出来るシフトレジスタ

フリップフロップを次々と直列につなげていくと、データを次々に送って行くことが出来ます。これがシフトレジスタです。



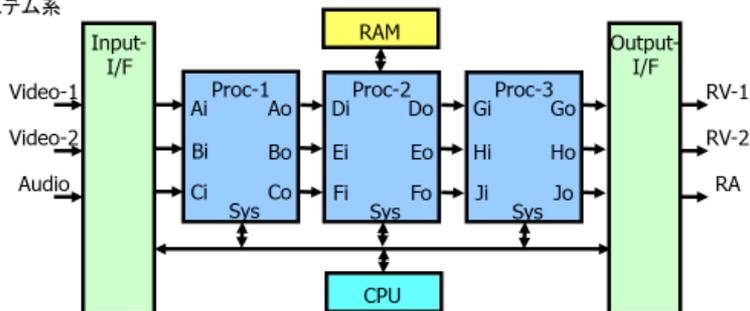
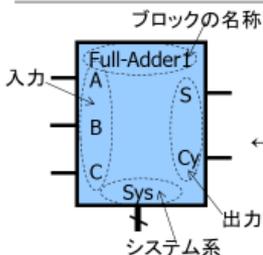
ブロックダイアグラム

ブロックダイアグラムの例

デジタル LSI の設計では、全体の構成を、このようなブロックダイアグラムで表わします。

←ひとつのブロックの表現

↓いくつかのブロックの組合せ



サンプル

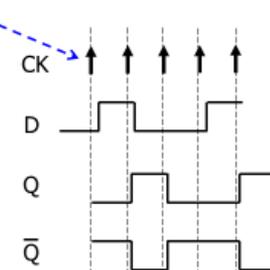
タイミングチャート

タイミングチャートの例

4ビットを1桁で表すのが16進数です。

クロックには、立ち上がりで動作させるものと、立ち下がり動作させるものと二通りあります。立ち上がり動作の場合は上向きの矢印を使います。

8 bit のバス信号を示しています。タイミングチャート上にはその値を 16進数で示します。In[7:0] は、In7, In6, ..., In0 の 8本の信号線全体を表します。



In[7:0] a3 25 37 b1 c4 56
Out[7:0] a3 25 37 b1 c4
例) a3 = 10100011

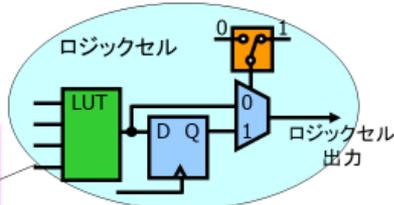
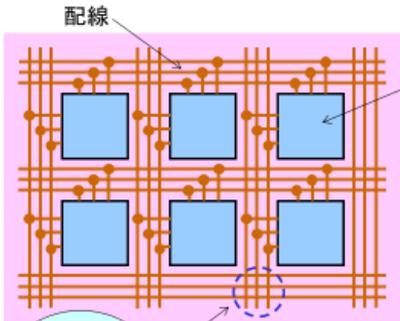
2進数	16進数	10進数
0000	0	0
0001	1	1
0010	2	2
0011	3	3
0100	4	4
0101	5	5
0110	6	6
0111	7	7
1000	8	8
1001	9	9
1010	a	10
1011	b	11
1100	c	12
1101	d	13
1110	e	14
1111	f	15

LSI の種類

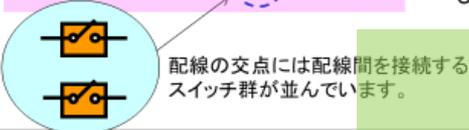


FPGA

FPGA 内部の概念図



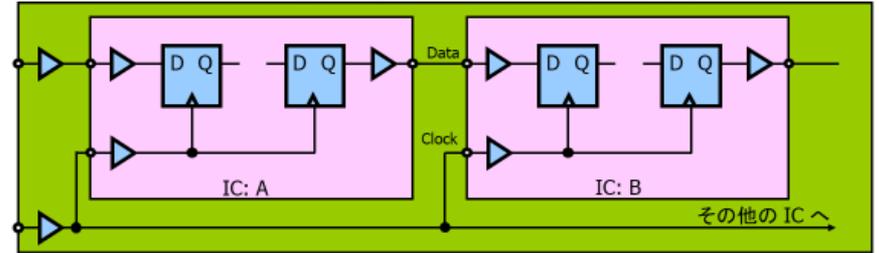
- ・デジタル LSI の世界で近年、著しい伸びを示しています。
- ・配線設計等は何度でも変更できます。
- ・ASIC と比較すると、消費電力は大きく、単価も高いのですが、開発費が少なく済むので、少量生産品等にはぴったりの LSI です。



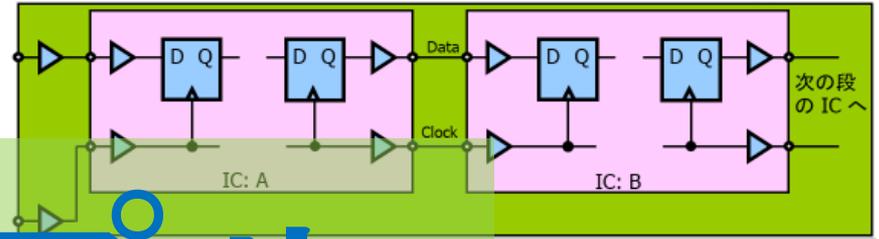
隣接IC との関係(クロックの与え方)



- **コモン・クロッキング式**: 基板内を一つのクロックで動かします。



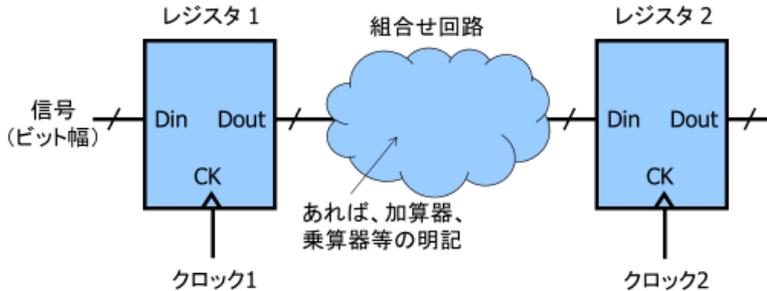
- **ソース・シンクロナス・クロッキング式**: 次段のIC にクロックとデータを渡します。



ハードウェア記述言語

RTL (Register Transfer Level)

レジスタと、それで挟まれた組合せ回路の機能を記述します。

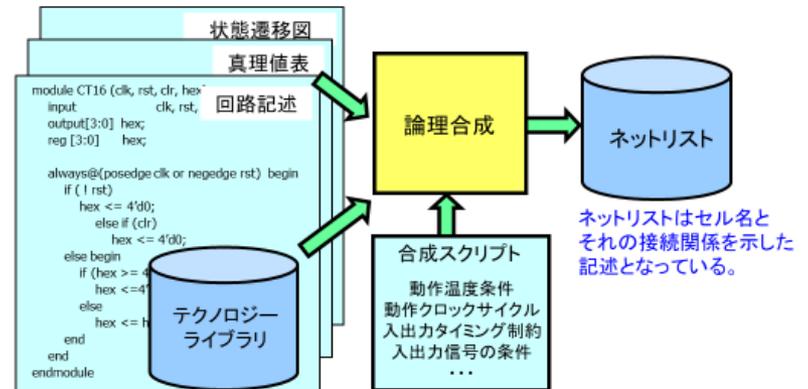


- 明記されていること
- ・データ転送用レジスタ
 - ・ハードウェアリソースの詳細
 - ・クロック毎の処理の内容

論理合成

合成スクリプトの果たす役割は重大

回路記述から、各半導体テクノロジーのセルの接続関係を示したネットリストを作り出します。その生成条件を記述したのが合成スクリプトです。



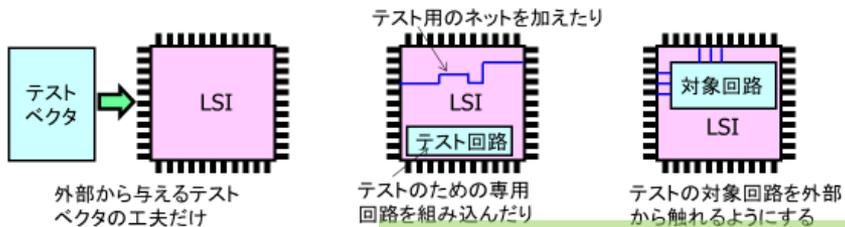
ネットリストはセル名とその接続関係を示した記述となっている。

どうやってテストするか？



中身の回路をテストするために

ひとつは、LSI の中身は変えず、外側から与える入力データ(テストベクタと呼ぶ)を工夫してテストする方法です。(ファンクションテスト等)
 もうひとつは、LSI の中身を工夫して、テストのための特別な工夫を内部構造に組み込む方法です。(スキャンテスト、BIST 等)
 また、テストする対象を外側から直接、触れるように、構造を工夫する方法もあります。(コアテスト等)

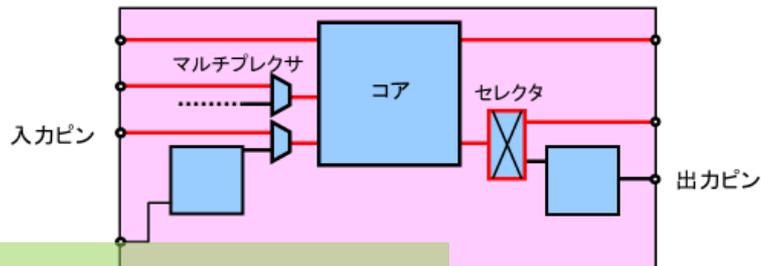


コアテスト



IP は外部から触れるようにする

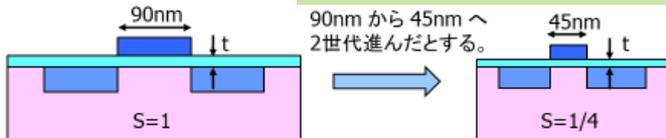
回路ブロックには IP* などで供給されたものがあります。これらは、内部を開示していない場合があるので、その部分を外部からテストできるように、テスト時には入出力ピンからコア部分に接続できるような構造にしておきます。このようにして行のがコアテストです。



*IP: Intellectual Property (機能回路ブロック。知的財産権で保護されているものが多い。)

ゲートリーク電流対策

酸化膜の誘電率を上げる



MOS トランジスタのゲート部分はコンデンサを構成しています。コンデンサの電荷量を確保しないとトランジスタが正常動作しません。コンデンサの電荷量は面積 S に比例し、酸化膜の厚さ t に逆比例します。

$$Q \propto \frac{k_0 \cdot k \cdot S}{t}$$

Q ; 電荷量 k_0 ; 真空の誘電率
 k ; 酸化膜の比誘電率 S ; 面積
 t ; 酸化膜の厚さ

面積は 1/4 になってしまうので、t を減らして行きたいのですが、ゲート酸化膜の厚さが減っていくと、トンネル電流が流れ出してしまいます。これを解決するには、酸化膜の比誘電率 k を大きくするしかありません。
 → high-k 膜の導入。例) HfSiO₂, HfAlON, HfO₂, Y₂O₃

動作状態での電力削減

様々な制御を

動作状態の電力を削減するには、以下のように様々な制御を行っています。

