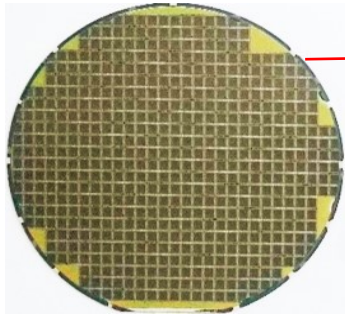
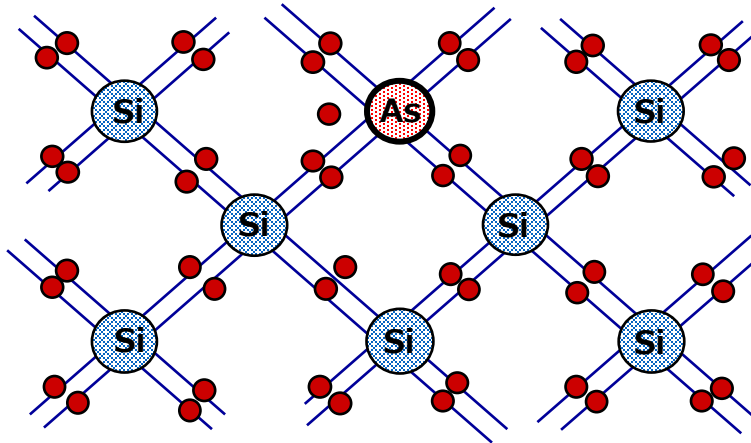
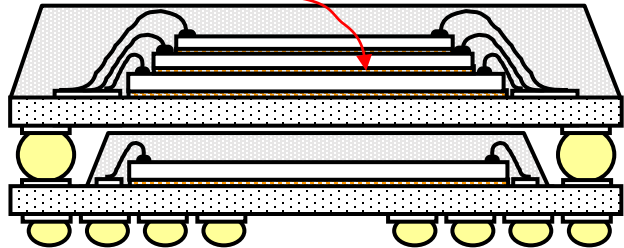


半導体入門・用語講座



パッケージスタック



これから半導体産業に携わる方の入門・用語講座
(通信講座とオンラインのハイブリッドセミナー)

講座名：No. 1～5

期間：2024年5月6日～7月14日
オンラインセミナー：7月22日

サクセスインターナショナル株式会社

テキストサンプル

No. 1 : 半導体製品について (P3,4)

No. 2 : 半導体の基礎 (P5,6,7,8)

No. 3 : IC設計とは (P9,10,11)

No. 4 : ウェハ製造プロセス
(P12,13,14,15)

No.5 : パッケージと組み立てプロセス
(P16,17,18,19)

1チップに1千億個ものトランジスタが搭載され、かつ携帯機器が数多く出回るようになった状況では、トランジスタ1個ずつの僅かな消費電力も全体としては膨大なものとなつてしまい、携帯機器ではバッテリー容量不足で稼働時間が制約される事となる。

CMOSはPMOS(P型MOS)とNMOS(N型MOS)が相補的に動作し、両MOSが互い違いにON/OFFするように設計されている。この事を図2.4-1を使って簡単に説明する。図2.2-1に示したように、MOSはスイッチとして働く。図2.4-1左から2番目の図がそれを示している。入力信号はG端子に、出力信号はD端子から次の回路に接続される。デジタル回路では信号は0 1のどちらかである。一般的に電源電圧Vddの時1、電圧0(つまりGND)の時0と当てはめる。左から2番目のCMOSインバータの回路図で、入力が0の場合、右から2番目の図の様にNMOSはOFF、PMOSはONとなり、出力はVddと繋がる、則ち出力は1である。逆に入力が1の場合NMOSがON、PMOSがOFFとなり、出力はGNDと繋がる、則ち出力は0である。0 1入力で1 0出力が得られるので、入出力は反転の関係にある。則ちインバータ回路である。

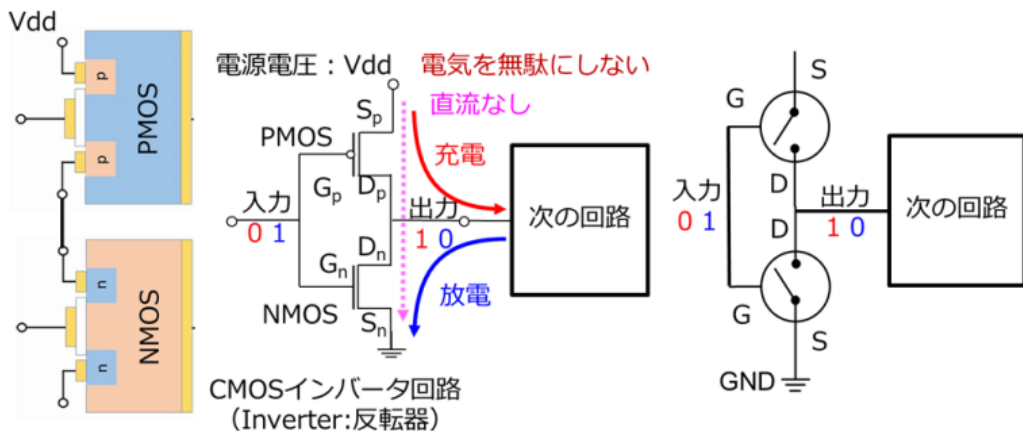


図 2.4-1 CMOS インバータ

この様に、CMOS回路ではPMOSとNMOSが逆のスイッチとして働くので、VddからGNDに直流電流が流れる(ショートされる)状態は絶対に起こらない。その為、CMOSは

を実現している。この図を見ると、どうして、2022年のように半導体不足で自動車が造れなかったのかがよく分かるであろう。

世界の潮流が電気自動車（EV）に向かう中、車載用半導体の需要は高まる一方である。図 5.1-2 に車載半導体の売上推移を示す。

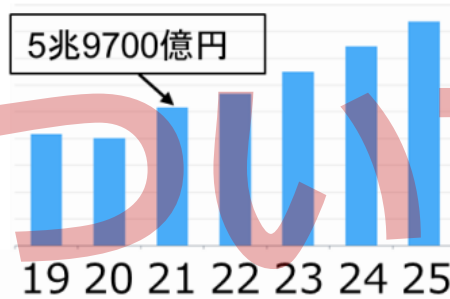


図 5.1-2 世界の車載半導体売上

5.2 一般的なコンピュータの構成

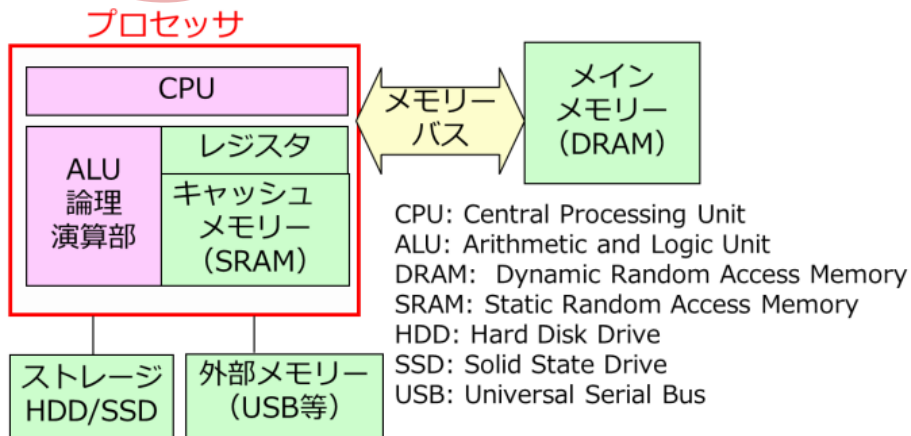


図 5.2-1 従来コンピュータの一般的な構成

図 5.2-1 に従来からの一般的なコンピュータの構成を示す。「一般の」と書いたのは 2020 年前後から新しいタイプのプロセッサが続々と提案され誕生しているからである。後で説明するが、これら新しいタイプは主に HPC (High Performance Computing) や AI (Artificial Intelligence) を志向したものである。

このデジタルがノイズに強いという面を説明してみよう。又 CMOS（用語集P110～116）という回路構成が発明されたため、非常に低電力でその処理が実現できるようになっている面も説明する。

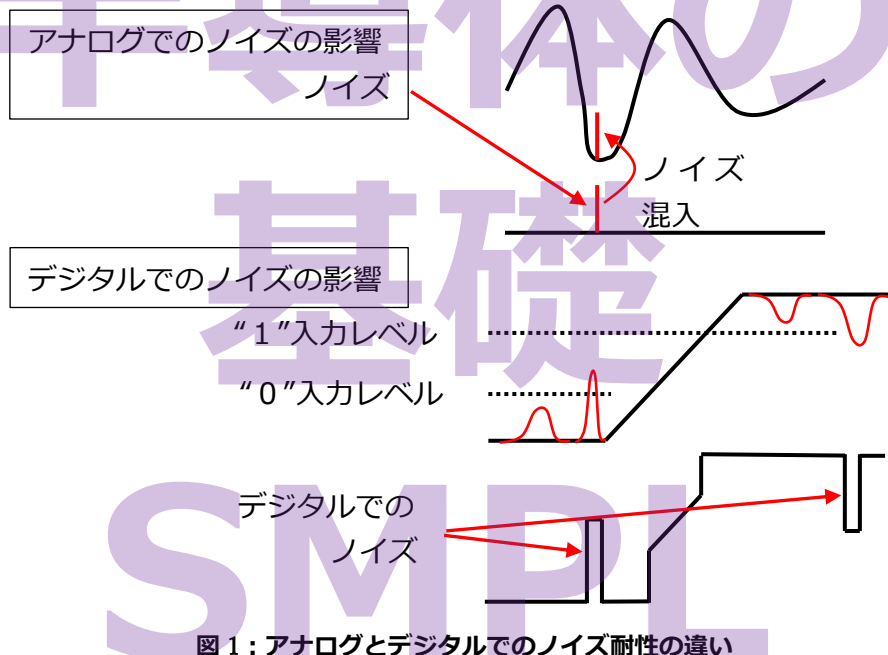


図1：アナログとデジタルでのノイズ耐性の違い

上図はアナログとデジタルでのノイズ混入時の影響度合いを表している。アナログの場合は混入したノイズ成分はそのまま表れ、“ボツ、ザー”といったノイズとして現れ、これを取り除くのは非常に難しい。デジタルの場合は“0、1”入力レベルの判定が行われ、“0入力レベル”以下であれば“0”、“1入力レベル”以上であれば“1”と判定される。最近では低電力化のために電源電圧が下がってきており、その判定レベルが意味を持たなくなりつつある。ここでいう“0 or 1”とは、そのICに使われている電源電圧が5[V]とすると、1 : 5[V]（ハイ）、0 : 0[V]（ロー）と定義し、それで数字を表現しようとするものである（逆に定義してもよい）。正に2進数。

次にデジタルICで低電力に寄与したCMOS回路について説明する。今出回っているデジタルICは全てこの回路を採用している。CMOSとはComplementary Metal Oxide Semiconductorの略で、NMOS、PMOSの二つが相補的に働く、一つの反転回路のことである。MOSについては2-1で触れているので、参照頂きたい。

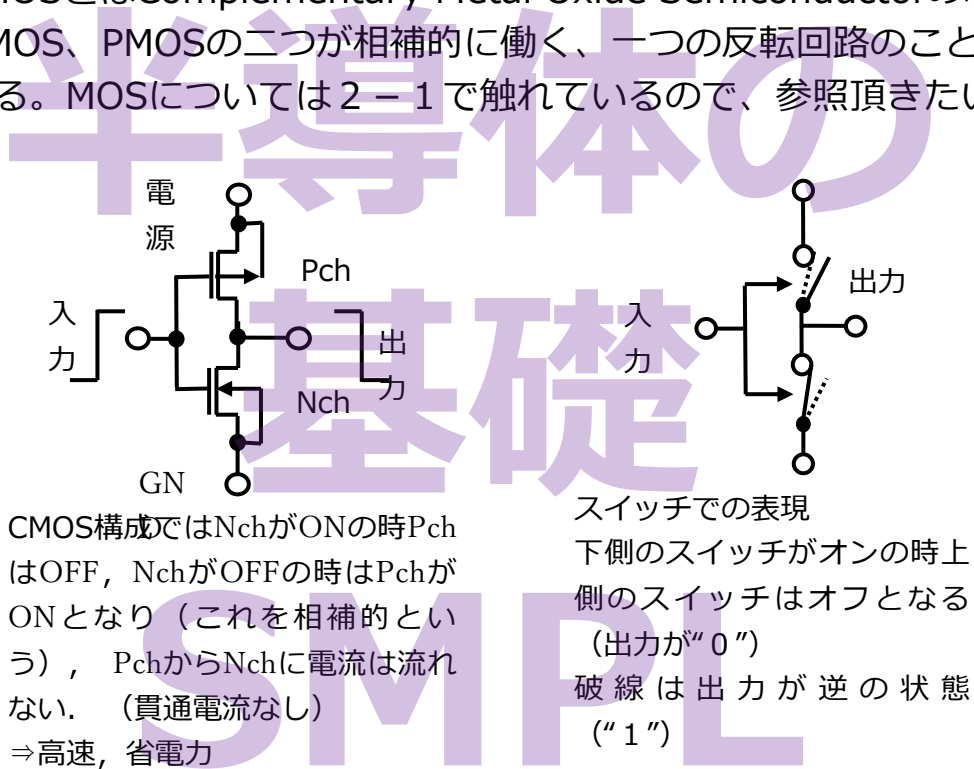


図2: CMOSとは

上図に示す如く、MOSの出力は次段の絶縁物であるMOSゲートであり、抵抗は無大である。それ故負荷として流れる電流もなし、貫通電流なしで、定常的には電流が流れないことが理解いただけると思う。つまり動いていない時は、消費電力はゼロ。然し過渡的（“0⇒1”その逆の“1⇒0”に変化する時）には二つの理由で電流の流れが発生する。一つはNchとPchのオンオフタイミングがずれてしまうことによる。入力電圧が次第に上がっていき、Nchがオンし始める電圧ではPchがオフして欲しい。その状態であれば電流は流れないが、両者のオン、オフのタイミングはオーバーラップし、両者がオンの状態が過渡的に発生してしまう。二つ目は浮遊容量（c）の影響で、 $i = c \times dv/dt$ なる電流が流れる。つまり電圧が変化すると電流が流れることになり、周波数が高くなるとその頻度

を縮め浮遊容量の増大につながり、消費電力増大をもたらすことになる。それに対処するためにこれまで様々な素子、ICの作り方に改良が加えられこれらの問題に対応してきた。(用語集P55～58-低消費電力関連、P111～123-製造方法関連、P203～208-パッケージ関連)

1-3. CMOSで何ができる

次にCMOSでどのような機能が実現出来るかについてみてみよう。下図は2入力NAND回路と言われるもので、A、Bの入力に対し

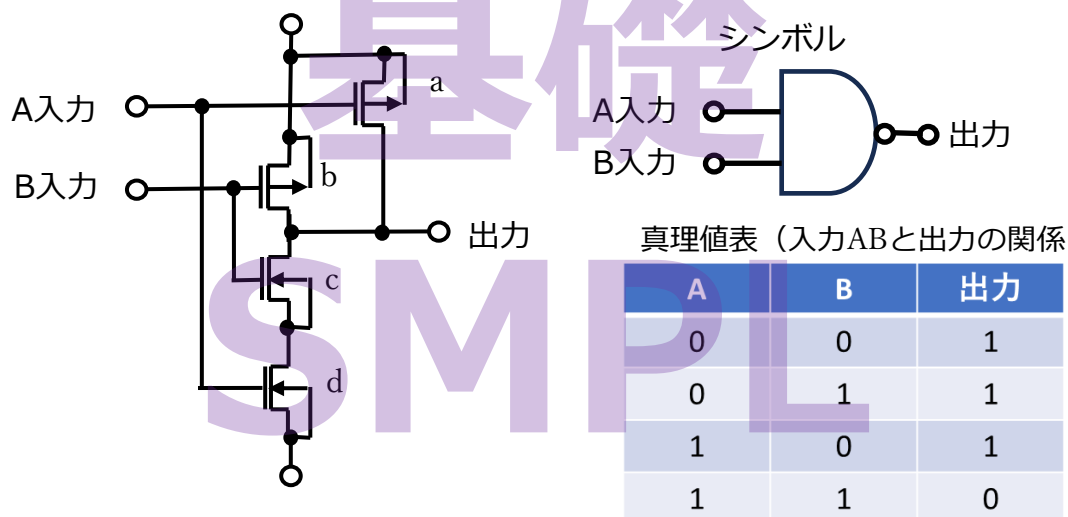


図 4 : NAND回路とは

し出力が決定される(真理値表参照)。AB共に“0”であればトランジスタabがオン、cdがオフとなるので出力は“1”になる。Aが“0”、Bが“1”の場合はトランジスタaがオン、トランジスタcがオンとなるがdがオフなので出力は“1”となる。その逆のAが“1”、Bが“0”の場合も結果は同じ。AB共に“1”の場合はトランジスタabがオフ、cdがオンとなり、出力は“0”となる。これがどう使えるかを説明するために自販機で考えてみる。150円入れるとジュースが出る機能をこれで実現する場合、先ず正しい100円、50円硬貨か否かの判定を行い、その結果をそれぞれA、B入力に“1”として入力する。すると正しい100円、50円硬貨二つが挿入された場合のみNAND出力が“0”になるので、“0”になったらその信号でジュースを出す機構を動かせば自販機が実現できることが分かる。デジタルICはこんな風に使われる。

第5章 どうやってICを作る（用語集3 - 1～8）

ここからは実際にどうやってICを作るのかについて話を進める。ICを作ると言っても様々な局面がある。ここで扱うのは主にどういったプロセスでトランジスタを作るのかという局面である。他の局面としては、そのトランジスタを使ってどのような機能を実現するか、次にその機能を実現するための回路を設計するという面がある。例えば4章で説明してきたキュービック補間フィルタの常数 a をどうやって決定するか、外部で選択できるようにしても良いがその為の回路規模、精度等を決め、設計しなければICが実現しない。半導体の製造工程は前工程、後工程に分けられる。前工程とはウェハ上にIC（N、Pを選択的に作り、配線を行う）を作るまで、後工程とはICを一つひとつに切り分け、パッケージングし、最終テストを行うまでをいう。

5 - 1. ICを作る（用語集P127～190）

ICはシリコンウェハ上につくられるがその元となるシリコンインゴットから説明しよう。インゴットとは精製された金属の塊といった意味で、直径50～300 [mm] 位の棒状の高純度シリコンの塊（用語集P127～P129）を先ず作る。ICを作る段になると、ウェハ状にする必要がある。

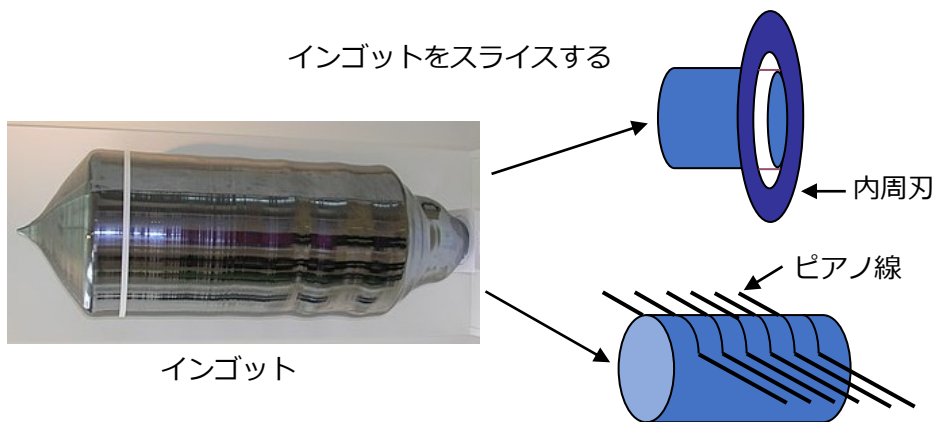
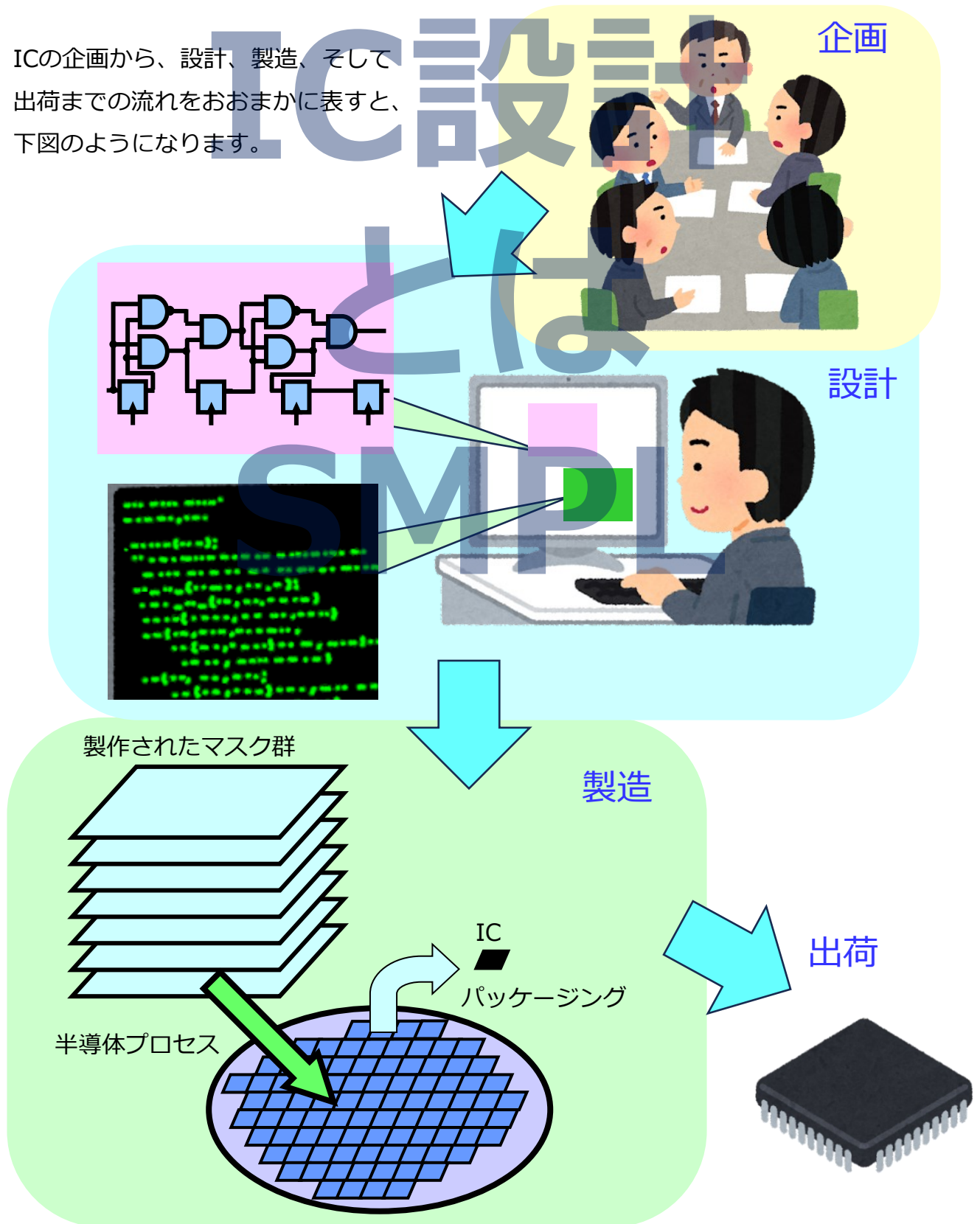


図 40 : インゴット、ウェハ切り出し

(IC設計とは [企画～評価、テスト])

ICの企画から、設計、製造、そして出荷までの流れをおおまかに表すと、下図のようになります。

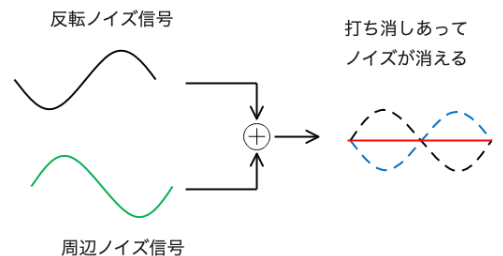
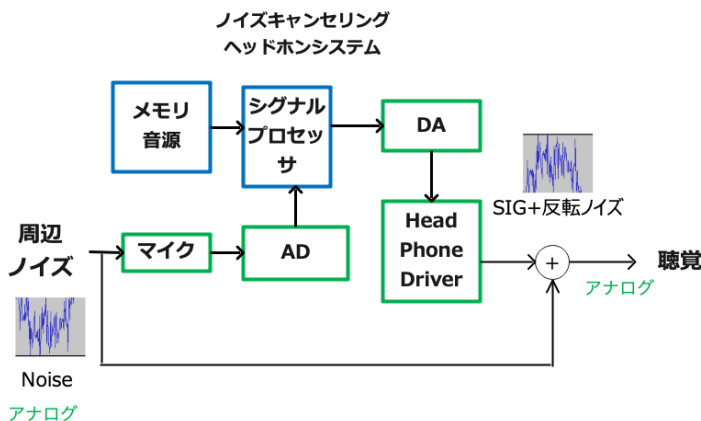


(IC設計とは [企画～評価、テスト])

IC設計は料理に例えられ、良い設計は良い材料を使用し、腕を振るって作られるものであり、ワクワクします。



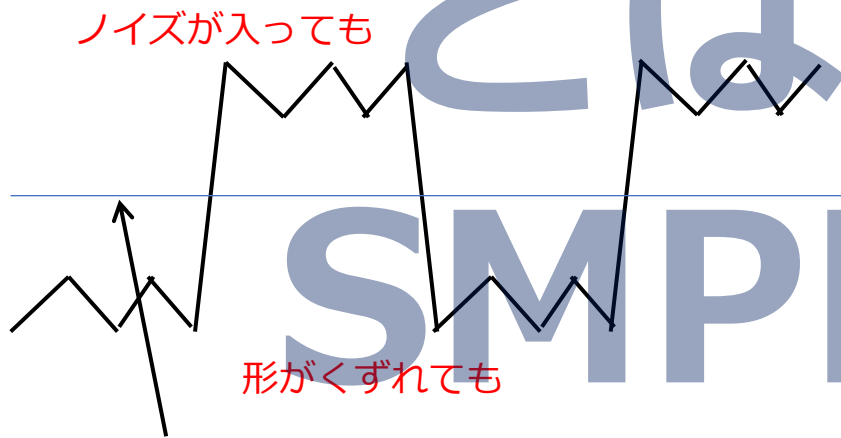
今日のメニューは、CMOSトランジスタ、抵抗、容量、（インダクタ）を用いたシンプルなソース接地アンプからオペアンプを使った増幅回路までです。能動素子はトランジスタで、自ら変化する能動的な素子です。受動素子は変化しない受け身の素子です。これらの素材を調理し、味の決め手は設計者の思いです。料理人の腕次第で良い設計が生まれます。半導体は、アナログとデジタルの2つの領域があり、料理の方法が異なります。アナログは和、デジタルは洋の感じですかね。それぞれの特徴と設計の流れを学んでいきましょう。以下は、みなさんがお使いのノイズキャンセリングヘッドホーンシステムのシステム図です。緑枠がアナログ、青枠がデジタルです。人間を取り巻く自然界は、アナログ信号=連続信号で溢れています。多くの半導体の入出力がアナログ、内部の演算がデジタルとなっています。なぜ、2つの領域で動作しているかもお伝えしていきます。



キャンセリングの原理は、引き算

(IC設計とは [企画～評価、テスト])

AD変換器（アナログ信号をデジタル信号に変換する回路）から出て来たデジタル信号を処理するのがデジタルの世界です。では、なぜ、わざわざデジタル信号に変換するのでしょうか？ デジタル信号には、1) 電圧変動に強い、2) 時間変動にも強い、3) 素子の構成がシンプルで大規模な回路を構成しやすい、4) それぞれの素子の電力を小さくできる、そんなメリットがあるからです。

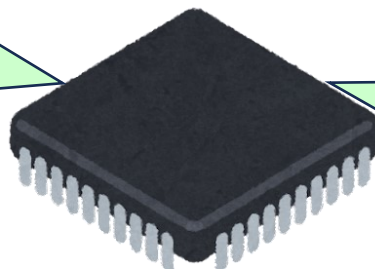


中間の電圧値で0と1を判定するので平気！

IC内の正確な時計によって、信号を捉まえるので、時間変動があっても平気！

0	1	0	1
---	---	---	---

ひとつひとつの素子を小さく出来るので、沢山の回路を入れられる。トランジスタの数で1,000億個も！

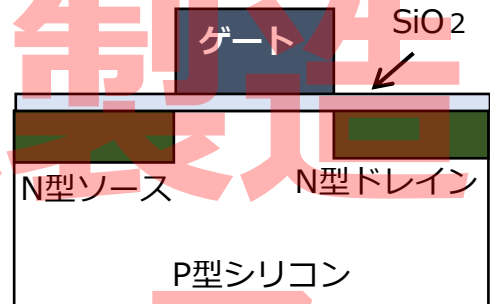


内部の時計の刻みも小さく出来る。10億分の1秒以下にも出来る！

お馴染みのMOSトランジスタの構造 (右図)

NMOSの場合は、P型Si基板にN型のソースとドレインを設け、絶縁膜 (SiO₂) を挟んだでゲート電極を設けた構造です。

ゲートをプラス電圧を与えると、SiO₂を挟んだSi側にマイナスの電荷 (即ち電子) が誘起され、ソース・ドレイン間に電流が流れます。ゲートがマイナス電圧だと電流は流れません。



NMOSトランジスタの断面図

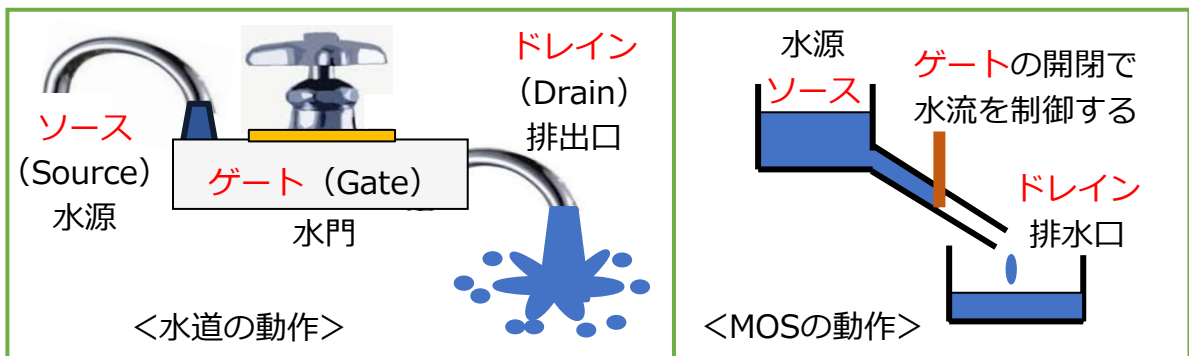
PMOSの場合はNMOSと逆に、N型Si基板にP型のソースをドレインを設けた構造で、ゲートにマイナス電圧を与えると、P型のソース・ドレイン間に正の電荷 (即ち正孔) が流れます。

CMOSLSIでは、同一チップ内にNMOSとPMOSを並べて作ります。NMOSを作る時はPMOS部分をフォトレジストでマスクしておき、PMOSを作る時はNMOS部分をフォトレジストでマスクしておきます (後に詳細を示します)。

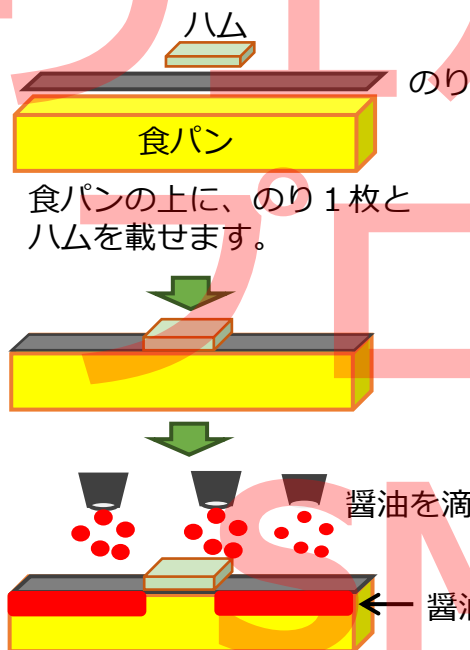
MOSなんて、水道の蛇口をひねるようなもの

MOSの動作は下図のように水源 (Source) から吸い込み口 (Drain) への水流を、水門 (Gate) で制御していて水道と同じです。ゲート電極に電圧を掛けるかどうかで、ソースからドレインへ流れる電流のONかOFFかが決まります。MOSの電極の名前も、水流の名称から取ったものです。

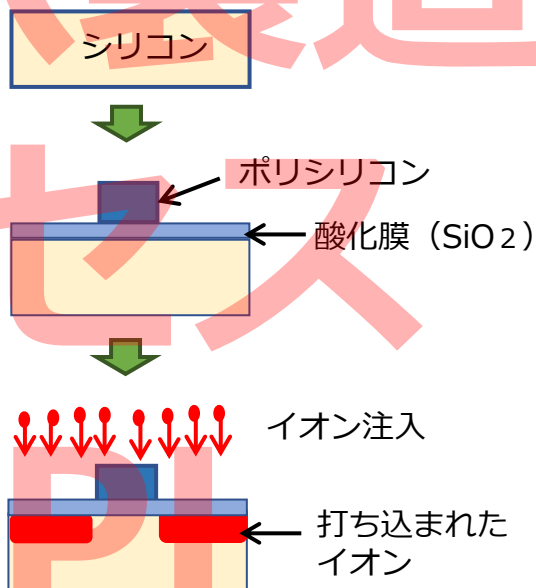
電気も水も流れるものだから、同じ扱いができるんだ



MOSトランジスタを作るのは、食パンに醤油を染み込ませるようなもの。

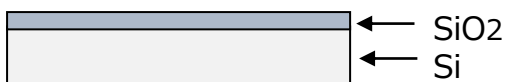


上から醤油を垂らすと、ハムの下には醤油は染み込まず、ハムの両サイドに醤油が染み込みます。

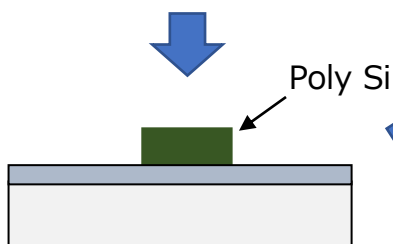


MOSトランジスタのお料理法も食パンと同じです。ただし、食べられません

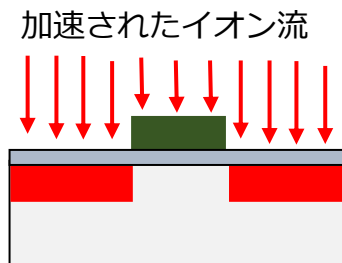
MOSの製法



① Siの表面を酸化してSiO₂膜を生成します。



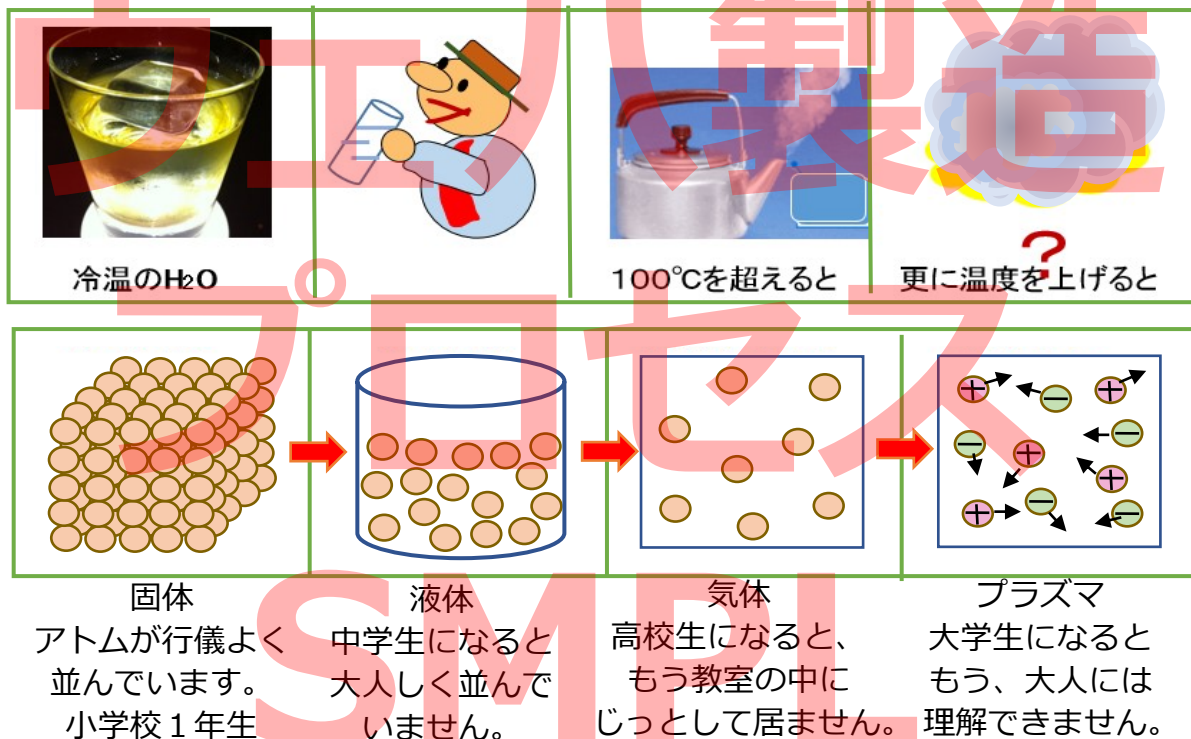
② 次いで、ゲート電極を作成します。



③ 高速に加速したイオンを打ち込みます。

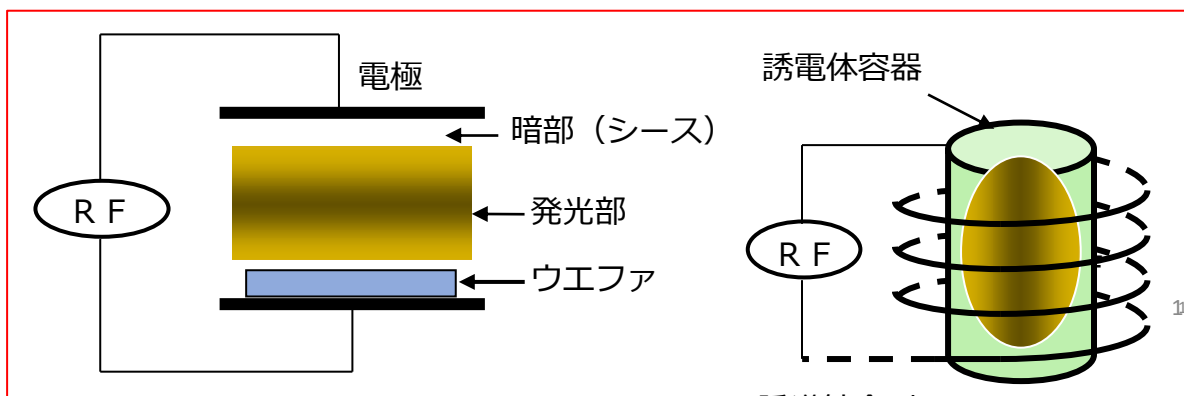
ゲート電極はイオンが通過できませんので、ゲート下の部分にはイオンが打ち込まれません。ソース・ドレイン・ゲートの位置関係がSelf Alignに決まります。

水が出世すると、固体⇒液体⇒気体⇒その次はWhat？



反応性に富むプラズマ。低温でも興奮状態のプラズマガス

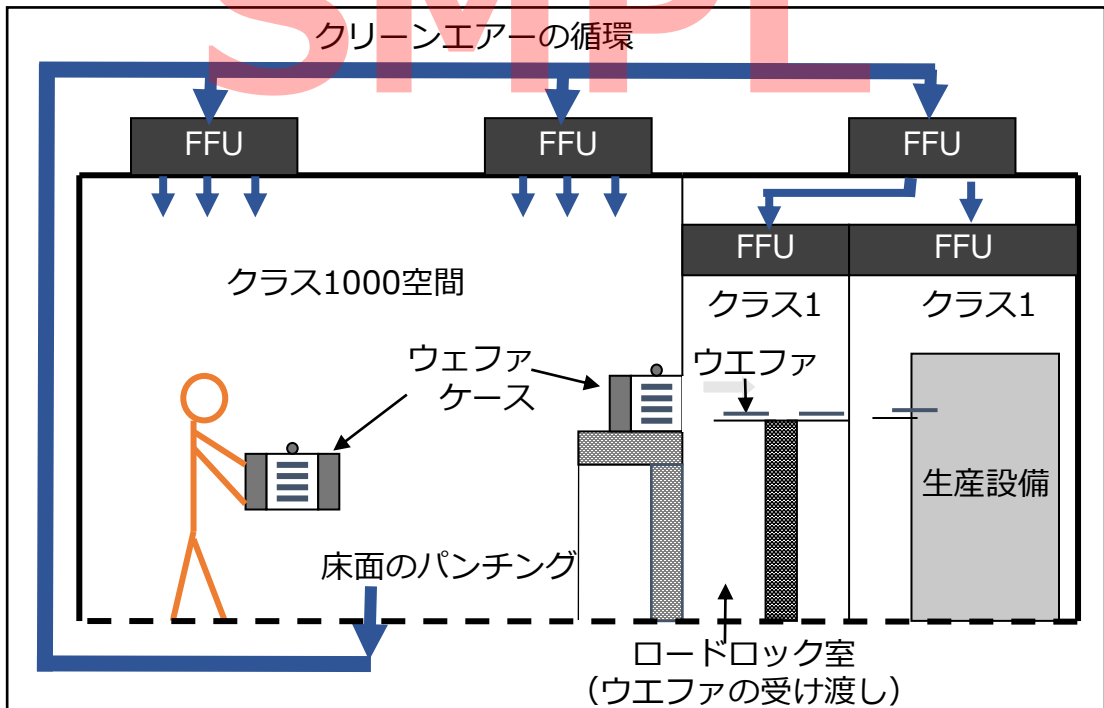
例えばCF₄をプラズマ化すると、F、F⁺、CF⁺、CF₂⁺⁺などの粒子が発生し、これらは化学的に活性でどんな物とも反応し易くなります。平行平板容量結合 (CCP ; Capacitively Coupled Plasma) の場合は、下図左のように向かい会った電極間にRF放電 (通常は13.56MHz) を起こします。下図右は、誘導結合型 (ICP ; Inductively Coupled Plasma) です。マスクのフォトレジストは有機物ですが、プラズマを用いると耐えられる温度 (100°C以下の低温) でエッチングなど化学反応を起すことができます。



クリーンルーム運営には莫大な費用が

半導体生産でのクリーンルームのは重要ですが、その維持には莫大の費用を要します。それほど大きなクリーンルームでも数億円／月の電気代が掛かります。

そこで、高い清浄度が必要な領域のみを清浄化する局所クリーン化システムが広く導入されるようになりました。局所クリーン化は Mini-Environment (ミニエンバイロメント) と呼ばれており、必要な領域のみを超クリーン環境とする方式です。下図のように人が作業する空間は、クリーン度がやや劣るクラス1000程度とし、ウエファが露出する作業装置内や受け渡しの空間は、最高のクリーン度のクラス1にする方法です。全室を最高クラスにするより、はるかに電気代が節約できます。

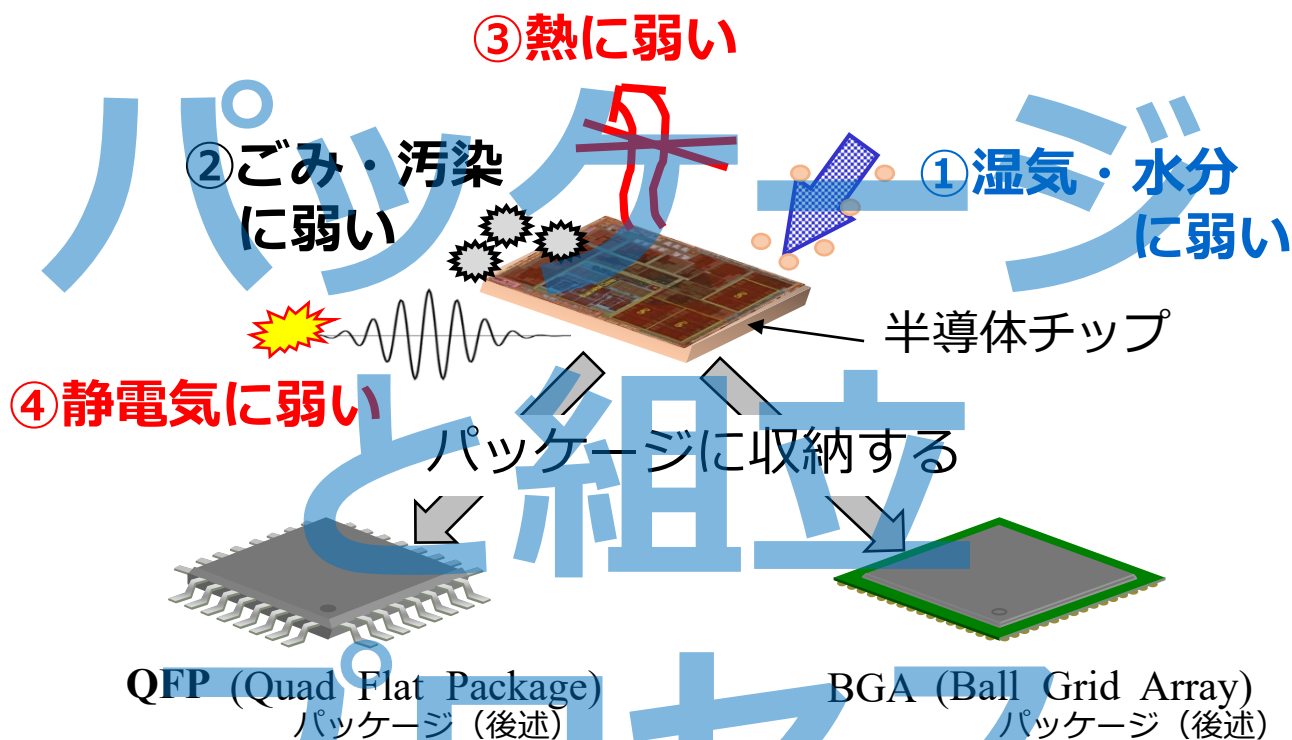


<ミニエンバイロメント室の構造>

* FFU : Fan Filter Unit (エアを吹き出すためのファンと、クリーン化するためのフィルターが一体になったユニット)

* クリーンエアは循環することにより益々クリーン度が上がります。ただし 5 ~ 10%程度の外気も取り入れています。

1-1. なぜ半導体チップをパッケージに収納するのか



なぜ半導体チップをパッケージ（外囲器）に収納するのでしょうか。

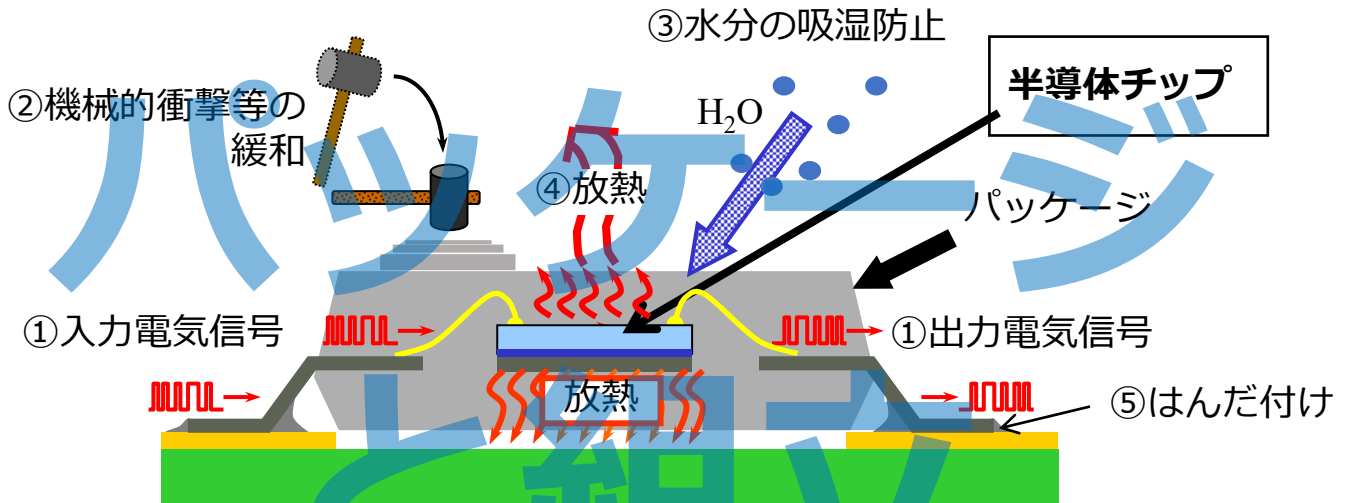
半導体チップは部品デバイス（装置）として大変に優秀な機能を有していますが、チップそのままでは上図のように

- ① 湿気や水分にさらされると特性・品質が劣化する。
- ② ごみなどの汚染により特性・品質が劣化する。
- ③ 発熱による温度上昇に弱く品質不良に至る。
- ④ 静電気により破損し易い。

などが発生します。

これらの防止・対策のためとその他の機能を付加するため（後述）に半導体チップをパッケージに収納します。

1-2. パッケージの基本機能



パッケージとは半導体チップを収納する外囲器のことで、

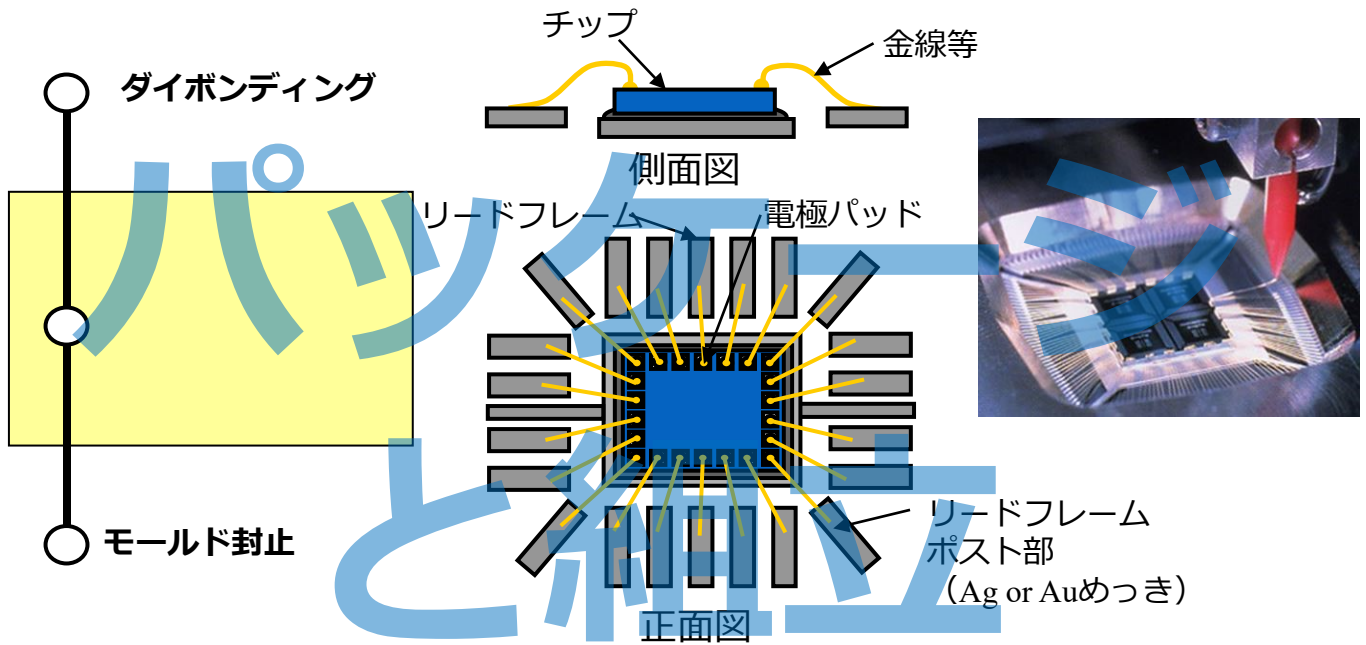
- 1) パッケージに求められる主な機能が下記のように6項目がある。
- 2) 構造が数種類ある。
- 3) パッケージの種類は多く、業界で形状の分類、名称の付与、パッケージの主な箇所の寸法の標準化が行われている。
- 4) 最近でも新しいパッケージが開発されている。

半導体パッケージに求められる基本機能としては主に下記のような項目である。

- ① 半導体チップと実装基板（プリント配線板）との電気信号伝達を可能にする。
【電気的特性の保持機能】と称されている。
- ② 半導体チップをハンドリングできる形にする。
【チップ保護機能】と称されている。
- ③ 半導体チップを外部環境から保護する。
【チップ保護機能、ストレス緩和機能】と称されている。
- ④ 半導体チップの発熱を周囲に放散する。
【チップ放熱機能】と称されている。
- ⑤ 半導体チップを実装基板（プリント配線板）に実装し易くする。
【寸法整合機能：端子のピッチ変換】及び
【規格、汎用機能】と称されている。
- ⑥ 半導体チップのコストダウン。
【コストダウン機能】と称されている。

以後で各項目について詳細に説明します。

4-14. ワイヤボンディング工程 (Wire bonding)



ワイヤボンディング工程はダイボンドされた半導体チップの電極パッド（ボンディングパッド）とリードフレームのポスト部とを金、銅、銀線等で結線する工程です。結線は荷重、熱、超音波のエネルギーで、金線の場合Au-Al, Au-Agの金属固相拡散接合によって行います。リードフレームはワイヤボンダのヒートコラム上にあり、150～300℃に加温されています。1サイクルが60～100mSec.（16ワイヤ/Sec.）の高速でボンディングされます。

● ワイヤボンディング接合のメカニズム

ワイヤボンディング方式の主流である金線等を用いたボールボンド方式は、金線等のボールをキャピラリ（細管）を介して（150℃～300℃）に加温されたアルミの電極パッドに荷重をかけ、押し付けると同時に超音波振動を与えます。熱、荷重、振動のエネルギーを与えることにより金（銀、銅）線とアルミニウムの異種の金属固相拡散（*）により接合します。なお、リードフレームのポスト部は金線等と銀めっきの層と接合します。

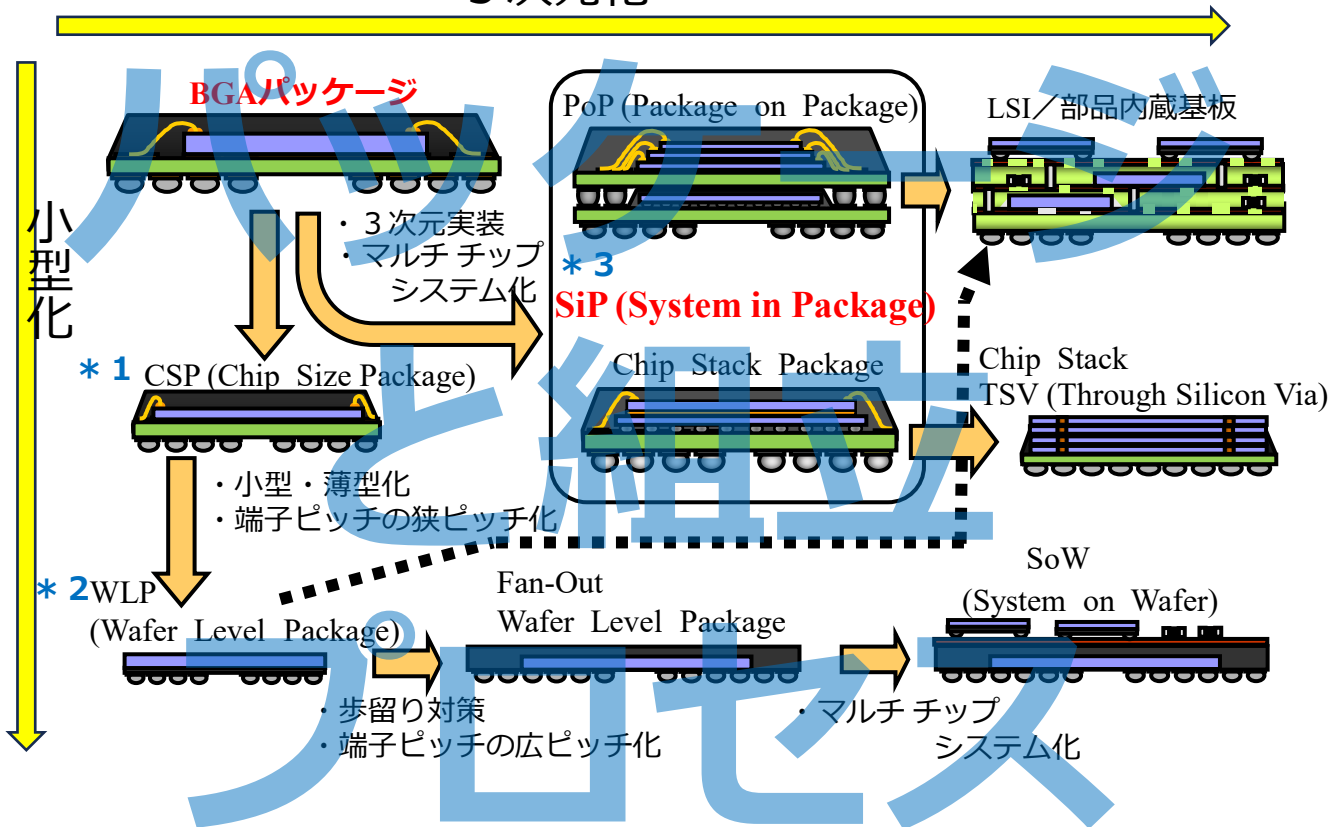
固相拡散接合には二つの金属が表面被膜の介在なく接触する必要があり、そのために荷重、熱、超音波を加えて塑性変形を起こさせ新生面を露出させる必要があります。

また、異種金属どうしの接合の場合は、温度が高くなると金属間化合物の存在とその成長の度合いが接合強度に影響を与えるので、荷重、熱、超音波のエネルギーを加える条件設定は重要です。

* 固相拡散接合：それぞれの金属の境界面に塑性変形を与えることで、接合部での酸化被膜の破壊と表面の活性化を促し、新生面どうしが接触することで両金属が拡散し接合する。

5-1. BGAパッケージから各種パッケージへ進展

3次元化



実装技術の変遷・発展は半導体パッケージの形態の進展と相関があります。

特に最近では**エリア配列端子タイプである BGAパッケージの出現**は実装技術の課題を提供し、且つ、実装技術の進展に大きな影響を及ぼしています。

また、上図のようにエリア配列端子タイプのBGAパッケージの出現はパッケージ技術と実装技術の融合により、より小型・薄型のパッケージのChip Size Package(CSP * 1)へと進展し、さらに、パッケージの組み立てプロセスも大きく変わるウェーハレベルパッケージ (WLP * 2) も出現しました。(ウェーハレベルCSPと同義語)

また、複数の半導体デバイスを収容するマルチチップ構成の System in Package (* 3) を出現させ、さらに、新しいパッケージの開発や三次元実装の開発・実用化へと進展させています。

さらに、半導体チップとの接続技術におけるフリップチップボンディング技術の発展により、パッケージ技術と実装技術は広範囲に進展し、電気特性の改善をも実現させ続けています