

シリコン技術の将来像

2011年6月

サクセスインターナショナル株式会社

加藤俊夫

昨年12月のIEDMで、SamsungのDr. Kinam Kim氏が、“From The Future Technology Perspective: Challenges and Opportunities”と題した基調講演をされた。私はこの会議に出席していないが、詳細な予稿資料を入手し、Si LSI 技術の現状と将来像を網羅されているので、皆様に紹介したい。ただし、逐語訳ではなく要点をまとめたもので、極く一部は自分の私見を追加しているし、添付図は全て筆者が挿入したものである。

Introduction

ここ20年間、半導体業界は爆発的な顧客の要求に応えてきた。特に最近はスマートフォン、タブレットPC、e-Bookなどのモバイル製品がブームとなっている。今後は、バイオセンサー、メディカルイメージセンサー、ソーラーセル、GaN on Si LED、パワーデバイスなどの新デバイスが期待されている。

Si LSI では、30nm node になって、Low power や Multifunction の要求に応えるようになってきているが、更なる微細化“Deeper nano-scale”になると、技術の複雑性や製造コストの増加などが問題となり、リソグラフィやその他のプロセスの革新が求められている。

System Technology

インターネットの爆発的な進歩により、2015年には、大規模データセンターには exa-scale(10^{18}) system が必要とされている。2008年のスーパーコンピュータの消費電力が2.3MW程度なので、この数値を元に計算すると、Exa-scale systemでは、何と2.3GWとなる。(筆者注;この値は原発2基に相当する)。従って、消費電力低減がシステム設計上で最も重要な開発テーマとなる。

Computing System の一般的な目的が変わることはないが、Many-core CPU や新型メモリー (PRAM、MRAM、RRAM など) の出現により、Computing Architecture の再設計が必要になるだろう。

Memory Technology Evolution

DRAMは30nm nodeの時代になってきた。22nmになると、リソグラフィ技術の革命が起こり、 $\lambda = 13\text{nm}$ のEUVが期待される。超解像技術やダブルパターンニングも有効であるが、コストの点からナノインプリントやDSA(Directed self Assembly)も検討すべきである。DRAMのセルキャパシタンスとして20fFはどうしても必要である。これまでのCUB(Capacitor under the bitline)から、COB(Capacitor over the bitline)に変わる。Oxide scaling(with multi-thickness)、Ultra shallow ion-implantation、急速熱処理、移動度工場技術などが要求される。Logic LSIと同じようにプロセスが複雑になる。

フラッシュメモリーは、20nm NAND が量産開始される。フローティング・ゲート型では、微細化の限界が来ると言われていたが、少なくとも high 1Xnm まではこのまま続けられる。ただし、10nm node になると、ショートチャンネル効果や蓄積電子数の減少によりプレーナー型 MOS では困難になる。集積度向上で期待されているのは BiCS とか TCAT とか呼ばれる3次元化構造である。東芝の BiCS(Bit Cost Scalable)の構造を図1に示す。原理的には集積度は幾らでも上げられるが、高アスペクト比のチャンネル孔の形成が課題となっている。

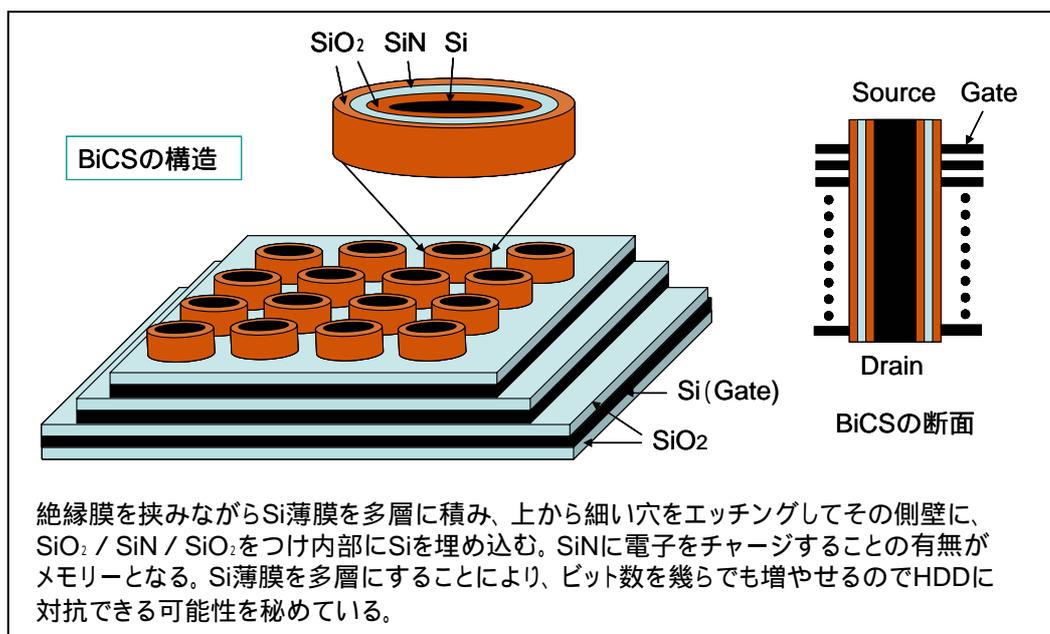


図1 BiCS NAND Flash Memory

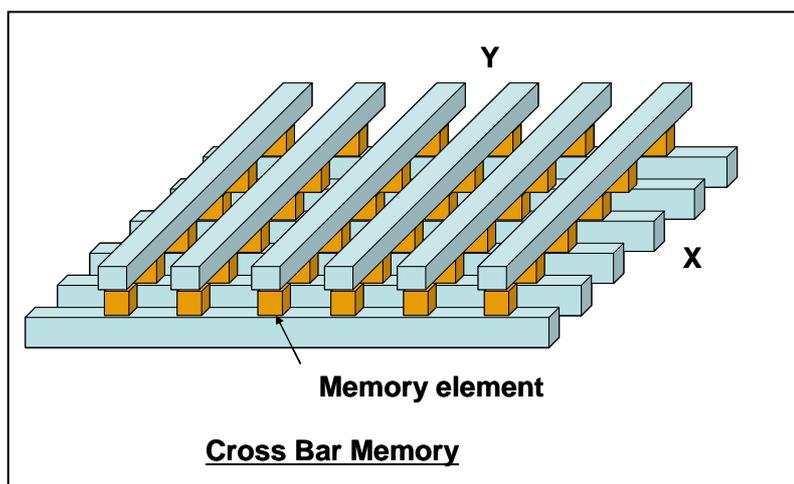


図2 ReRAM などの構造が簡単なクロスバー構造

sub-10nm で有望と思われる不揮発性メモリーは、クロスバー型の ReRAM(Resistive RAM)である。スイッチングに用いられる抵抗体は、SrZrO₃、PbZrTiO₃、PrCaMnO₃、Ta₂O₅、Nb₂O₅、TiO₂、NiO、ZrO₂、V₂O₅ などの金属酸化物が調べられ、最近の研究で

は TaOx が、 10^9 サイクル、85 で10年間の信頼性があり有望と考えられている。これらの材料を図2のように X-Y のクロスバー交点に挟めば良い。(筆者の意見では、この構造自体は半導体ではないので半導体メモリーとは呼べないと思う)。ReRAM はフラッシュメモリーの有力な後継デバイスであるが、電流が比較的大きいことと、スイッチングのメカニズムが十分に理解されていないのが問題である。

PRAM(Phase Change RAM)も15nm node までスケールリング出来るので有望であり、既に携帯電話には使用されている。化学変化を利用しているため、書き換え回数に制限があるのが難点である。

Spin torque transfer MRAM(STT Magnetic RAM) は、書き換え回数は無限大で、スイッチング電流も十分下げることができて有望である。トンネル酸化物 MgO がエッチングダメージを受けることや、高温熱処理でのサーマルバジェットなどの検討課題がある。

Logic Technology Evolution

ゲート長が20nm 以下になると、EOT (Equivalent Oxide Thickness) や SCE (Short Channel Effect) によりこれまでのプレーナー型構造が困難になってきた。ITRS ロードマップによると、EOT は図2のように2015年には5Å が要求され実現の見通しが無い。MuG (Multi Gate) でも、2020年には6Å が要求され、HfO₂ ($k < 20$) に変わって、 $k > 40$ の膜を開発する必要がある。HfO₂ や ZnO₂ は、tetragonal 構造の結晶になると誘電率が高くなる。

より高速動作で駆動電流を確保するためには、キャリア移動度の向上が必要で、これまで歪の導入が行われてきたが、そろそろ限界に近くなってきた。この先は、PMOS に Ge、NMOS に - 化合物(例えば InGaAs)を導入する検討が行われている。(図3を参照)。将来の CMOS は、Si 上の - 化合物やグラフェンが用いられることになるだろう。不揮発性メモリーの MRAM が、reconfigurable Logic に用いられ、アプリケーションが広がるだろう。

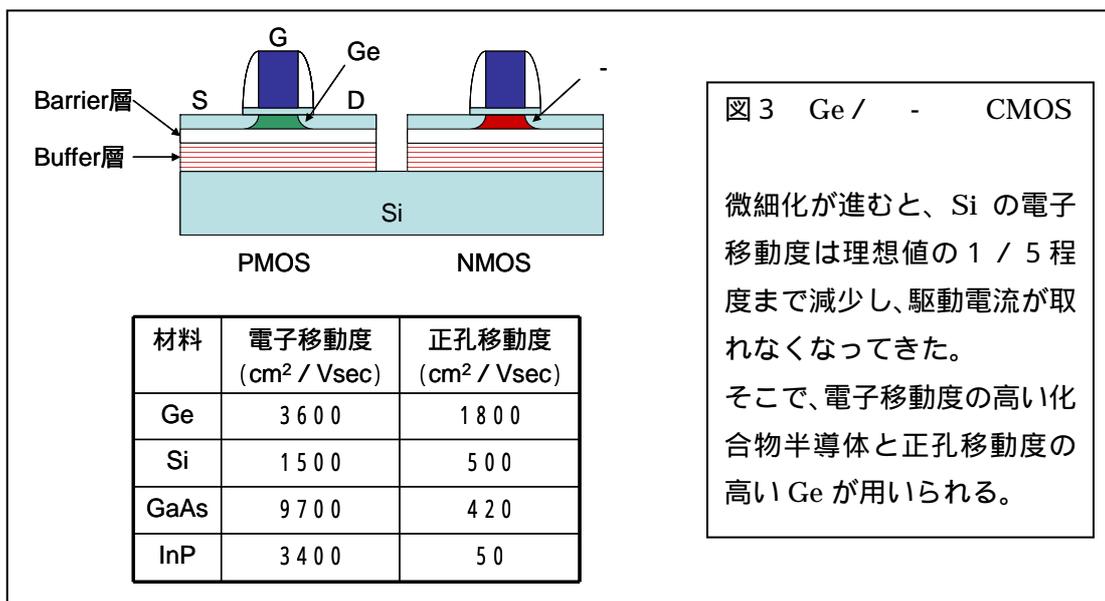


図3 Ge / - CMOS

微細化が進むと、Si の電子移動度は理想値の 1 / 5 程度まで減少し、駆動電流が取れなくなってきた。そこで、電子移動度の高い化合物半導体と正孔移動度の高い Ge が用いられる。

3D IC Technology

TSV(Through Silicon Via)技術を用いてチップを積層し、垂直に配線するのが有望である。技術的課題として、TSVのエッチング形状やCuのマイグレーションを防ぐバリアメタルなどのプロセス技術の他に、設計上の課題が多い。即ち、3D floor-planning (TSVのサイズ、TSV近傍のトランジスタ特性など)、発熱に対する配慮、CuとSiの熱膨張係数の差、メカニカルな安定性など。これまでのPCB基板より、Siインターポーザーは熱膨張係数がSiと同じで利点が多いので用いられている。今後は、Die to die、Die to wafer、Wafer to waferの検討や、via-last、via-middle、via-first、via-after bondなどが大きな課題となっている。

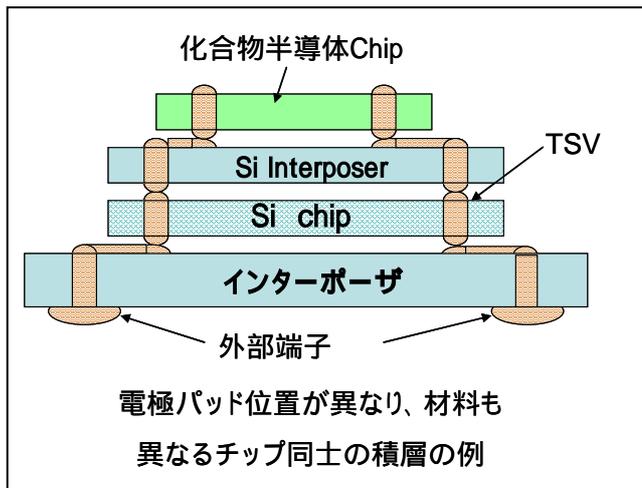


図4 TSVを用いたチップ積層

Emerging Si Technology

Siテクノロジーは、他の産業にも大きな影響を与えている。ここでは、GaN on SiによるLEDやパワーデバイス、太陽光発電について取り上げる。

A) Si based GaN electronics for green technology

GaNは、高電力、高速トランジスタとして有望であり、LEDにも用いられる。

Si上にGaNをエピタキシャル成長する場合、17%の格子定数の差があって結晶性の良い単結晶を製作するのは困難であった。最近、Si(111)基板上にAl(Ga)N/GaNをエピタキシャル成長し、ディスロケーション密度が $2.5 \times 10^8 / \text{cm}^2$ でサファイア基板と同等な性能が得られた。大直径のSi上に成長させると反りが $100 \mu\text{m}$ も発生するが、Kim氏などの検討では数 μm まで下げる技術を開発した。これにより、大直径Siウエハー上にGaNによるLEDが製作できて、特性的にもサファイア上のGaNと同等であった。

GaNのもう一つの有効なアプリケーションはパワートランジスタである。AlGaIn/GaN構造で、 800V 、ON抵抗 $= 2.2 \text{ m}\Omega / \text{cm}^2$ のMIS HEMTを開発した。 V_{th} のバラツキも少なく、量産化に挑戦する。

B) Crystalline Si based solar cell

Solar cell の生産量がどんどん伸びているため、Si 材料の使用量は、半導体用の3倍も使われていて、更に30% / 年で増加しつつある。Si solar cell の太陽光に対する変換効率は理論的には29%であり、研究レベルでは25%が得られ、23%が商業的に実現されている。今後は、半導体技術の更なる活用によりコスト削減と高性能化が進むと思われる。例えば、イオン注入による浅い接合やバリア金属によるリーク電流の削減などである。

Conclusion

現在の Si テクノロジーは、sub-20nm になって、NAND の3次元や ReRAM のような新しい構造や材料が要求されるようになり、リソグラフィにも新しい技術が必要になっている。10nm node を越えても、Si CMOS 技術は、若干のモディファイはあっても依然としてメインストリームとして健在だと思われる。しかしながら、全く新しいシナリオの可能性もある。即ち、グラフェン、スピントロニクスのような原子的なスケールのデバイスである。

アプリケーションでは、バイオ・ヘルス、自動車、ロボットなど益々広がり、Si 技術は新しい予測出来ない利益を社会にもたらすであろう。